

for IDS

1/1 PLUSPAT - (C) QUESTEL-ORBIT image

PN - JP7253996 A 19951003 [JP07253996]

TI - (A) DATA COLLECTING DEVICE

PA - (A) YOKOGAWA ELECTRIC CORP

PA0 - (A) YOKOGAWA ELECTRIC CORP

IN - (A) MORI SADA0; MURATAAKIKO

AP - JP4349994 19940315 [***1994JP-0043499***]

PR - JP4349994 19940315 [1994JP-0043499]

STG - (A) Doc. Laid open to publ. Inspec.

AB - PURPOSE: To provide the data collection device which measures even a signal having a relatively high-speed component without restrictions on the frequency band due to the scan period of a main CPU in one device.

- CONSTITUTION: At least one scanner block 1 which selectively takes analog input signals of plural channels into an A/D converter through a scanner and converts them to digital signals and at least one A/D conversion block 10 which continuously converts a specific analog input signal to a digital signal are provided, and measured data is periodically taken in from these blocks 1 and 10.

- COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-253996

(43) 公開日 平成7年(1995)10月3日

(51) Int.Cl.⁶

G 0 6 F 17/40
3/05

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 A

G 0 6 F 15/ 74

3 1 0 C

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平6-43499

(22) 出願日 平成6年(1994)3月15日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 森 定男

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

(72) 発明者 村田 明子

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

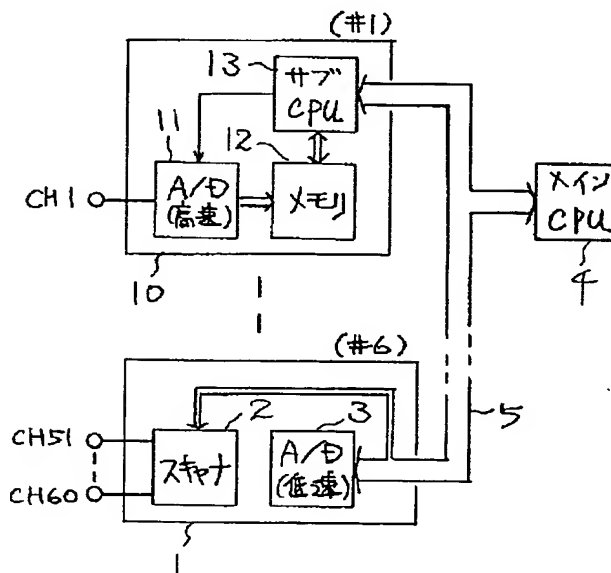
(74) 代理人 弁理士 小沢 信助

(54) 【発明の名称】 データ収集装置

(57) 【要約】 (修正有)

【目的】 1 台の装置でメイン CPU のスキャン周期による周波数帯域の制限を受けることなく比較的高速成分を有する信号をも測定できるデータ収集装置を実現することにある。

【構成】 複数チャンネルのアナログ入力信号をスキャナを介して選択的に A/D 変換器に取り込みデジタル信号に変換する少なくとも 1 つのスキャナブロック 1 と、特定のアナログ入力信号を連続的にデジタル信号に変換する少なくとも 1 つの A/D 変換ブロック 10 とを具備し、これらスキャナブロック 1 および A/D 変換ブロック 10 から周期的に測定データを取り込むように構成されたことを特徴とするもの。



【特許請求の範囲】

【請求項 1】 複数チャンネルのアナログ入力信号をスキャナを介して選択的に A/D 変換器に取り込みデジタル信号に変換する少なくとも 1 つのスキャナブロックと、特定のアナログ入力信号を連続的にデジタル信号に変換する少なくとも 1 つの A/D 変換ブロックとを具備し、これらスキャナブロックおよび A/D 変換ブロックから周期的に測定データを取り込むように構成されたことを特徴とするデータ収集装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ収集装置に関し、詳しくは、直流的な多点の測定データとともに比較的高速の波形に関する測定データをも取り込めるようにした装置の改良に関するものである。

【0002】

【従来の技術】 図 3 は従来のデータ収集装置の一例を示すブロック図であり、1 ブロック当たり 10 チャンネルのアナログ入力信号をスキャンしながら選択的に A/D 変換器に入力してデジタル信号に変換する 6 系統の同一構成のスキャンブロックがバスを介してメイン CPU に接続されている例を示している。

【0003】 図において、1 はスキャナブロックであり、10 チャンネルのアナログ入力信号が入力されるスキャナ 2 と、スキャナ 2 から選択的に出力されるアナログ入力信号をデジタル信号に変換する A/D 変換器 3 が設けられている。4 はメイン CPU であり、同一構成の 6 系統のスキャナブロック 1 がバス 5 を介して接続されている。

【0004】 このような構成において、各スキャナブロック #1 ~ #6 はメイン CPU 4 の制御信号に従って同時に起動され、各スキャナブロック #1 ~ #6 のスキャナ 2 が同時に切り換えられた後に各 A/D 変換器 3 はそれぞれのスキャナ 2 から出力されるアナログ入力信号をデジタル信号に変換し、メイン CPU 4 は各スキャナブロック #1 ~ #6 の A/D 変換器 3 の出力データを順次取り込む。

【0005】 図 4 は図 3 の動作を説明するタイミングチャートである。(A) は第 1 のスキャナブロック #1 の動作の遷移状態を示し、(B) は第 2 のスキャナブロック #2 の動作の遷移状態を示し、(C) は第 6 のスキャナブロック #6 の動作の遷移状態を示している。(D) はメイン CPU 4 から各スキャナブロック #1 ~ #6 に共通に加えられる制御信号出力のタイミングを示し、

(E) は各スキャナブロック #1 ~ #6 の出力データをメイン CPU 4 に取り込むタイミングを示している。

(F) は (E) の要部の拡大図である。

【0006】 時刻 t_1 でメイン CPU 4 から各スキャナブロック #1 ~ #6 にそれぞれの 1 番目のチャンネル (CH1, CH11, ..., CH51) を指定する制御信

号が加えられることにより、各スキャナブロック 1 のスキャナ 2 はそれぞれの 1 番目のチャンネル (CH1, CH11, ..., CH51) を選択するように切り換えられる。各 A/D 変換器 3 はスキャナ 2 が切り換えられて安定するのに十分な時間が経過した時点で起動され、各スキャナ 2 から出力されるアナログ入力信号をデジタル信号に変換する。そして、メイン CPU 4 は各スキャナブロック 1 の A/D 変換器 3 の変換動作が完了するのに十分な時間が経過した時点で、各 A/D 変換器 3 の出力データを順次取り込む。メイン CPU 4 から各スキャナブロック #1 ~ #6 に制御信号を加えて測定チャンネルを切り換えるスキャン周期は例えば 80 ms 程度に設定されていて、A/D 変換器 3 としては例えば積分形のような比較的低速度のものが用いられる。各スキャナブロック #1 ~ #6 の A/D 変換器 3 の出力データのメイン CPU 4 への取り込みは、(F) に示すように A/D 変換器 3 の変換動作の所要時間に比べてきわめて短時間 (数十 ~ 数 μ s) の間に順次行われる。

【0007】 このようにして時刻 t_{10} でメイン CPU 4 から各スキャナブロック #1 ~ #6 にそれぞれの 10 番目のチャンネル (CH10, CH20, ..., CH60) を指定する制御信号が加えて各 A/D 変換器 3 の出力データを順次取り込むことにより、メイン CPU 4 には 60 チャンネル分の測定データが取り込まれることになって、温度や圧力などの直流的なアナログ入力信号の多点測定に広く用いられている。

【0008】 ところで、実際の測定にあたっては、直流的な信号の測定と同時に回転数や振動の振幅などの比較的高速成分を有する信号も測定したいことがある。

【0009】

【発明が解決しようとする課題】 しかし、このような従来の構成によれば、測定可能な信号の周波数帯域はメイン CPU 4 のスキャン周期で制限されることになり、比較的高速成分を有する信号を測定できないという問題がある。すなわち、直流的な信号と比較的高速成分を有する信号のように周波数帯域の異なる複数種類のアナログ入力信号の測定にあたっては、それぞれの測定周波数帯域に適した複数の測定器を用意しなければならず、測定結果についても同時性を求めるためには各測定器における測定時間を照合しなければならないなど、処理にも相当の工数が必要になる。

【0010】 本発明は、このような従来の問題点を解決するものであって、その目的は、1 台の装置でメイン CPU のスキャン周期による周波数帯域の制限を受けることなく比較的高速成分を有する信号をも測定できるデータ収集装置を実現することにある。

【0011】

【課題を解決するための手段】 本発明のデータ収集装置は、複数チャンネルのアナログ入力信号をスキャナを介して選択的に A/D 変換器に取り込みデジタル信号に変

換する少なくとも1つのスキャナブロックと、特定のアナログ入力信号を連続的にデジタル信号に変換する少なくとも1つのA/D変換ブロックとを具備し、これらスキャナブロックおよびA/D変換ブロックから周期的に測定データを取り込むように構成されたことを特徴とする。

【0012】

【作用】メインCPUは、一定の周期でスキャナブロックおよびA/D変換ブロックから出力データを取り込むようにスキャナブロックおよびA/D変換ブロックを制御する。各スキャナブロックは、従来と同様に、メインCPUのスキャン周期に同期したタイミングで選択的にアナログ入力信号をデジタル信号に変換する。

【0013】一方、A/D変換ブロックは、各スキャナブロックが全チャンネルをスキャンするのに必要な時間の大半にわたって連続的にアナログ入力信号をデジタル信号に変換し、それらのデジタル信号をA/D変換ブロック内部のメモリに逐次格納する。そして、これらスキャナブロックの出力データおよびA/D変換ブロックの内部メモリに格納された出力データは、メインCPUから加えられる制御信号のタイミングに従って順次メインCPUに取り込まれる。

【0014】これにより、A/D変換ブロックはメインCPUのスキャン周期による周波数帯域の制限を受けることなく比較的高速成分を有する信号を測定でき、装置全体としては従来のようなメインCPUのスキャン周期による周波数帯域の制限を受けることなく比較的高速成分を有する信号をも測定できる多点のデータ収集装置を実現できる。

【0015】

【実施例】以下、図面を用いて本発明の実施例を説明する。図1は本発明の一実施例を示すブロック図であり、図3と共通する部分には同一の符号を付けている。図1と図3の異なる点は、図3の第1のブロック#1としてスキャナブロックの代わりにA/D変換ブロック10を接続していることである。A/D変換ブロック10は、サンプリングクロック周波数が例えば100kHz程度の比較的高速のA/D変換器11と、このA/D変換器11の出力データを格納するメモリ12と、このメモリ12に格納された出力データに基づいて実効値、最大値、最小値、平均値、P-P値、立ち上がり時間、立ち下がり時間、周波数、デューティ時間などを演算するとともにA/D変換器11およびメモリ12の動作を制御するサブCPU13とで構成されている。このように構成されるA/D変換ブロック10には、前述のような回転数や振動の振幅などの比較的高速成分を有する信号を入力する。なお、他のブロック#2～#6としては図3と同様にスキャナブロックが接続されているものとする。

【0016】このような構成において、各ブロック#1

～#6はメインCPU4の制御信号に従って同時に起動される。起動に応じて、ブロック#1のA/D変換ブロック10はA/D変換出力データの収集と収集したデータに基づく所定の演算を開始し、各ブロック#2～#6のスキャナブロックは従来と同様に各スキャナ2の同時切替およびスキャナ2の出力に対するA/D変換を行う。そして、メインCPU4は、A/D変換ブロック10の演算結果と各スキャナブロックのA/D変換器3の出力データを順次取り込む。

【0017】図2は図1の動作を説明するタイミングチャートである。(A)は第1のブロック#1として用いるA/D変換ブロック10の動作の遷移状態を示し、

(B)は第2のブロック#2として用いるスキャナブロックの動作の遷移状態を示し、(C)は第6のブロック#6として用いるスキャナブロックの動作の遷移状態を示している。(D)はメインCPU4から各ブロック#1～#6に共通に加えられる制御信号の出力タイミングを示し、(E)は各ブロック#1～#6の出力データをメインCPU4に取り込むタイミングを示している。

(F)は(E)の要部の拡大図である。なお、スキャナブロックの動作は従来と全く同様なので、A/D変換ブロック10の動作を重点にして説明する。

【0018】時刻 t_1 でメインCPU4から各ブロック#1～#6に起動指示信号としてそれぞれの1番目のチャンネル(CH1, CH11, ..., CH51)を指定する制御信号が加えられる。ブロック#1のサブCPU13は1番目のチャンネルを指定する制御信号を識別してA/D変換器11を起動し、その出力データを逐次メモリ12に格納する。このA/D出力データの収集期間は、演算に必要な時間を含めて、各スキャナブロックが10チャンネルをスキャンして測定するのに要する時間(本実施例では1秒)内に収まるように適切に設定する。すなわち、サブCPU13は、A/D変換器11の起動にあたっては1番目のチャンネルを指定する制御信号のみを識別して他のチャンネルを指定する制御信号は無視する。毎回の演算結果は一旦メモリ12に格納しておき、次の測定周期におけるA/D出力データの収集動作と並行して各スキャナブロックのチャンネルを指定する制御信号に応答する時間関係($t_1 \sim t_{10}$)で、

(E), (F)に示すように各スキャナブロックの選択されたチャンネルの測定データと同様の位置づけで1個ずつメインCPU4に取り込まれる。本実施例の場合には、各スキャナブロックは10チャンネルをスキャンすることからA/D変換ブロック10は最大10個の演算結果を送出できることになる。具体的には、時刻 $t_1 \sim t_{10}$ に各ブロック#1～#6に加えられる制御信号に応じて合計60個の測定データがメインCPU4に取り込まれるが、その内訳はA/D変換ブロック10におけるCH1のアナログ入力信号に関連する演算結果が最大10個と、CH11～CH60までの50チャンネルの各

1個ずつの最大50個の測定データになる。

【0019】このように構成することにより、メインCPUは各ブロックがA/D変換ブロックであるかスキャナブロックであるかを識別する必要はなく、従来と同様な温度や圧力などの直流的なアナログ入力信号の多点測定とほぼ同時に回転数や振動の振幅などの比較的高速成分を有するアナログ入力信号についても測定が可能になる。そして、これらの測定結果を例えば多点記録計の入力とすることにより、直流的なアナログ入力信号の測定結果と比較的高速成分を有するアナログ入力信号の測定結果とを共通の記録紙上にほぼ等しい時間軸に従って記録でき、従来のような異なる測定器間の測定データを時間に基づいて照合するような作業は不要になり、測定データの解析を効率よく迅速に行える。

【0020】なお、上記実施例ではA/D変換ブロックが1ブロックに1個の例を説明したが、1ブロックに複数個設けて複数系統の高速成分を有するアナログ入力信号を同時に測定できるようにしてもよい。これによれば、ゲインや位相差などの複数チャンネル間の各種の相関パラメータも演算出力できるので、装置の用途がさらに拡大できる。

【0021】また、上記実施例ではA/D変換ブロックは1ブロックになっているが、2ブロック以上であってもよい。スキャナブロックも5個に限るものではなく、システムに応じて増減すればよい。また、A/D変換ブロックの例としてサブCPUを設けているが、メインCPUに余力がある場合にはサブCPUの機能もメインCPUに持たせることが可能であり、A/D変換ブロック

の構成を簡単にできる。ただし、この場合にはメインCPUはA/D変換ブロックから生の測定データを読み込んで各種の演算を行うことになるので、メインCPUのプログラムをそれらの手順に応じたものに手直しする必要はある。

【0022】

【発明の効果】以上説明したように、本発明によれば、1台の装置でメインCPUのスキャン周期による周波数帯域の制限を受けることなく比較的高速成分を有する信号をも測定できる操作性の優れたデータ収集装置を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1の動作を説明するタイミングチャートである。

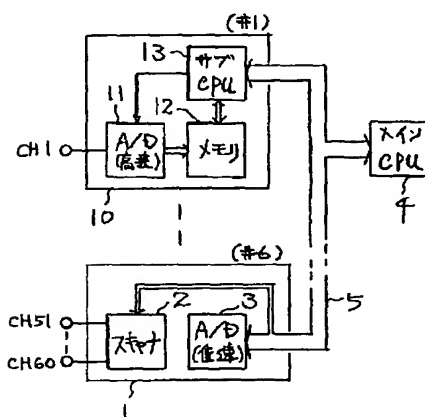
【図3】従来の装置の一例を示すブロック図である。

【図4】図3の動作を説明するタイミングチャートである。

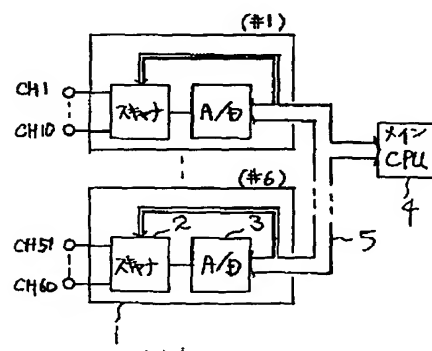
【符号の説明】

- | | |
|----|------------|
| 1 | スキャナブロック |
| 2 | スキャナ |
| 3 | A/D変換器（低速） |
| 4 | メインCPU |
| 5 | バス |
| 10 | A/D変換ブロック |
| 11 | A/D変換器（高速） |
| 12 | メモリ |
| 13 | サブCPU |

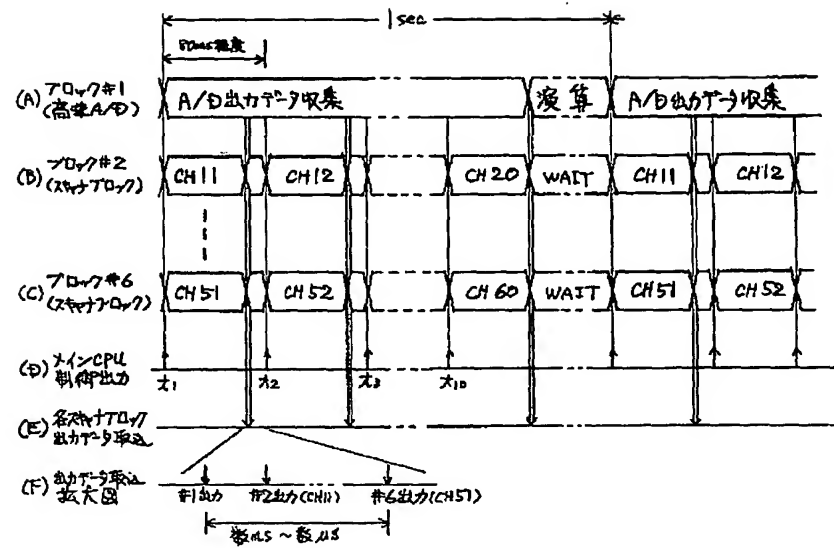
【図1】



【図3】



【図 2】



【図 4】

